

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Hiroki TAKEWAKA, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: INTERCONNECT STRUCTURE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e). Application No. Date Filed
- Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-080228	March 24, 2003

Certified copies of the corresponding Convention Application(s)

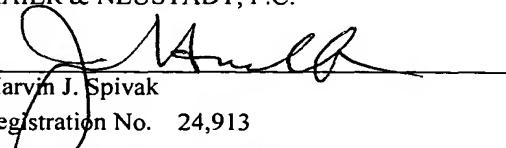
- are submitted herewith
- will be submitted prior to payment of the Final Fee
- were filed in prior application Serial No. filed
- were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- (B) Application Serial No.(s)
 are submitted herewith
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Marvin J. Spivak

Registration No. 24,913


James D. Hamilton
Registration No. 28,421



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2003年 3月24日

出願番号

Application Number:

特願2003-080228

[ST.10/C]:

[JP2003-080228]

出願人

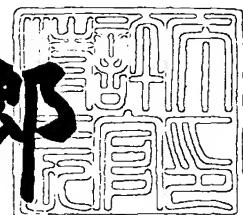
Applicant(s):

三菱電機株式会社

2003年 4月18日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3028581

【書類名】 特許願
【整理番号】 542991JP01
【提出日】 平成15年 3月24日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/768
【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
【氏名】 竹若 博基
【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
【氏名】 山下 貴司
【特許出願人】
【識別番号】 000006013
【氏名又は名称】 三菱電機株式会社
【代理人】
【識別番号】 100089233
【弁理士】
【氏名又は名称】 吉田 茂明
【選任した代理人】
【識別番号】 100088672
【弁理士】
【氏名又は名称】 吉竹 英俊
【選任した代理人】
【識別番号】 100088845
【弁理士】
【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 配線構造

【特許請求の範囲】

【請求項1】 基板と、

前記基板上に形成され、配線体と当該配線体上に形成された導電体膜とを有する配線と、

前記配線を覆って形成された層間絶縁膜と、

前記層間絶縁膜を貫通するコンタクトホール内に形成され、前記配線の上面と接する第1領域と、前記配線の側面と接する第2領域とを有する導電体と、

前記導電体の第2領域と接する前記配線体の側面内に形成された高抵抗層とを

備えていることを特徴とする配線構造。

【請求項2】 前記高抵抗層は、前記配線体を窒化させたものである、
ことを特徴とする請求項1に記載の配線構造。

【請求項3】 前記高抵抗層は、前記配線体を酸化させたものである、
ことを特徴とする請求項1に記載の配線構造。

【請求項4】 基板と、

前記基板上に形成され、配線体と当該配線体上に形成された導電体膜とを有する配線と、

前記配線を覆って形成された層間絶縁膜と、

前記層間絶縁膜を貫通するコンタクトホール内に形成され、前記配線の上面と接する第1領域と、前記配線の側面と接続する第2領域とを有する導電体とをしており、

前記配線体の端面は前記導電体膜の端面よりも後退しており、後退している部分には、前記層間絶縁膜の一部が形成されており、前記配線体と前記導電体の第2領域とは、前記層間絶縁膜の前記一部を介して接続されている、
ことを特徴とする配線構造。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、配線構造に係る発明であって、特に、下層配線と当該下層配線に接続するビアプラグとを有する配線構造に関する。

【0002】

【従来の技術】

下層配線と当該下層配線と接続するビアプラグとを有する半導体装置の製造方法として、従来、下記に示すようなものがある（例えば、特許文献1参照）。

【0003】

当該従来の技術は、まず、上面部および下面部の両面に反射防止膜を有する下層配線を、下地絶縁膜上に形成した後、下地絶縁膜および下層配線とを覆うように層間絶縁膜を堆積する。次に、接続孔作成のために、当該層間絶縁膜上にパターニングされたレジストを形成する。次に、当該パターニングされたレジストを用いて、層間絶縁膜の上面から下層配線に至る接続孔を形成する。

【0004】

ここで、下層配線とビアプラグとの合わせズレに余裕がほとんど無いため、製造工程における合わせズレにより、接続孔が下層配線から踏み外して形成される場合が頻発しており、当該場合には、接続孔から下層配線の側面部が露出される。

【0005】

次に、その後のレジスト除去工程でなされる薬液洗浄処理（W E T処理）によって、下層配線の側面部の形状が劣化しないようにするために、プラズマ処理により、当該露出している下層配線の側面部に改質層（高抵抗層）が形成される。次に、W E T処理によりレジストを除去する。

【0006】

次に、下層配線の側面部を電流バスとして利用するため、当該改質層を逆スパッタクリーニングにより除去した後に、密着層メタルを接続孔に形成する。そして最後に、埋め込みメタルを密着層メタルが形成されている接続孔に充填する。

【0007】

【特許文献1】

特開平10-209272号公報（第5項、第1，2図等）

【0008】

【発明が解決しようとする課題】

しかし、上記従来の技術による製造方法で作成された半導体装置では、下層配線の側面部とビアプラグとが直接接続されるため、下層配線の上面部と反射防止膜を介してビアプラグと接続されている接続部分よりも、下層配線の側面部とビアプラグとが直接接続されている接続部分の方が、接触抵抗が低くなる場合がある。

【0009】

したがって、下層配線の側面部とビアプラグとの接続部分において、電流が集中することになり、当該接続部分において、エレクトロマイグレーション耐性の劣化が発生する場合があった。

【0010】

そこで、この発明は、下層配線の側面部とビアプラグとの接続部分における電流集中を抑制することができる配線構造を提供することを目的とする。

【0011】

【課題を解決するための手段】

上記の目的を達成するために、本発明に係る請求項1に記載の半導体装置は、基板と、前記基板上に形成され、配線体と当該配線体上に形成された導電体膜とを有する配線と、前記配線を覆って形成された層間絶縁膜と、前記層間絶縁膜を貫通するコンタクトホール内に形成され、前記配線の上面と接する第1領域と、前記配線の側面と接する第2領域とを有する導電体と、前記導電体の第2領域と接する前記配線体の側面内に形成された高抵抗層とを、備えている。

【0012】

また、本発明に係る請求項4に記載の半導体装置の製造方法は、基板と、前記基板上に形成され、配線体と当該配線体上に形成された導電体膜とを有する配線と、前記配線を覆って形成された層間絶縁膜と、前記層間絶縁膜を貫通するコンタクトホール内に形成され、前記配線の上面と接する第1領域と、前記配線の側

面と接続する第2領域とを有する導電体とを有しており、前記配線体の端面は前記導電体膜の端面よりも後退しており、後退している部分には、前記層間絶縁膜の一部が形成されており、前記配線体と前記導電体の第2領域とは、前記層間絶縁膜の前記一部を介して接続されているものであってもよい。

【0013】

【発明の実施の形態】

以下、この発明をその実施の形態を示す図面に基づいて具体的に説明する。

【0014】

<実施の形態1>

図1に、本実施の形態に係る半導体装置の概略断面図を示す。

【0015】

図1において、図示していない半導体基板上に下地絶縁膜1が形成されている。また、下地絶縁膜1の所定の位置には下層配線2が配設されている。

【0016】

下層配線2は、アルミニウム等の配線体2aと、当該アルミニウム配線体2aの上下面部にそれぞれ形成されているTiN膜等の反射防止膜((第一の)導電体膜と把握することができる)2bとで構成されている。

【0017】

ここで、配線体2aの膜厚は250～500nm程度であり、反射防止膜2bの膜厚は、60～120nm程度である。当該反射防止膜2bの膜厚は、接続孔を形成するために後工程で施されるエッチング処理の際に、上面部の反射防止膜2bをエッチングストップとしても機能させることを想定した厚さとなっている。

【0018】

さらに、下地絶縁膜1と下層配線2とを覆うように、層間絶縁膜3が形成されている。また、当該層間絶縁膜3には、上面から下層配線2に達する(つまり層間絶縁膜3を貫通している)コンタクトホールが形成され、当該コンタクトホール内にピアラグ(導電体と把握することができる)4が形成されている。

【0019】

ここで、ビアプラグ4は、TiN/Ti積層膜等のバリアメタル膜4a（第二の導電体膜と把握することができる）とタンクステン膜4bとで構成されている。

【0020】

また、近年の配線ピッチの縮小化に伴い、ビアプラグ4と下層配線2との合わせズレの余裕を設けることが不可能となってきている。これにより、図1に示すように、ビアプラグ4が下層配線2に対して踏み外した構造となる場合、具体的に、ビアプラグ4が下層配線2の側面部（つまり、配線体2a）および、当該下層配線2の上面部（つまり、反射防止膜2b）と接続するように形成されることもあり得る。

【0021】

つまり、ビアプラグ4は、下層配線2の上面と接する第1領域と、下層配線2の側面と接する第2領域とを有している。

【0022】

本実施の形態は、前記のようにビアプラグ4が下層配線2を踏み外す構成の場合に効果を発揮するものである。以下、当該構成の場合について説明を進める。

【0023】

話を図1の構成に戻して、ビアプラグ4と接続している配線体2aの接続部には、高抵抗層5が形成されている。

【0024】

さらに、層間絶縁膜3とビアプラグ4とを覆うように、上層配線6が配設されている。ここで、上層配線6は、アルミニウム等の配線体6aと、当該配線体6aの上下面部にそれぞれ形成されているTiN等の反射防止膜6bとから構成されている。

【0025】

次に、上記構成の半導体装置の製造方法について、工程断面図を用いて説明する。

【0026】

まず、図示していない半導体基板上に下地絶縁膜1を形成する。次に、スパッ

ターリング法により、TiN等の反射防止膜2bを形成する。次に、同じくスパッターリング法により、当該反射防止膜2b上面部にアルミニウム等の配線体2aを形成する。さらに、同じくスパッターリング法により、当該配線体2aの上面部にTiN等の反射防止膜（（第一の）導電体膜と把握することができる）2bを形成する。

【0027】

以上の工程により、下地絶縁膜1の所定の位置に下層配線2（反射防止膜2b／配線体2a／反射防止膜2b）を配設する（図2）。

【0028】

ここで、配線体2aの上面部に形成されている反射防止膜2bを、後のエッチング工程においてエッティングストップとして機能させるために、約60～120nmの膜厚で形成されることが望ましい。

【0029】

次に、CVD（Chemical Vapor Deposition）法等により、下地絶縁膜1と下層配線2とを覆うように層間絶縁膜3を形成する（図3）。

【0030】

次に、通常のリソグラフィ工程により、層間絶縁膜3の上面から下層配線2に至るコンタクトホール10を形成する（図4）。なお、当該エッティング工程の際に、配線体2aの上面部に形成されている反射防止膜2bは、エッティングストップとして機能する。

【0031】

ここで、近年の配線ピッチの縮小化に伴い、ビアプラグ4と下層配線2との合わせずれの余裕を設けることが不可能となっているため、図4に示すようにコンタクトホール10から、下層配線2の上面部（つまり、反射防止膜2b）だけではなく、下層配線2の側面部（つまり、配線体2a）も露出することがあり得る。そこで、以下からは当該構成について説明を続ける。

【0032】

次に、図4に示した製造途中の半導体装置を、N₂あるいはO₂等の雰囲気に

晒し、コンタクトホール10から露出している配線体2aの表面部（すなわち下層配線2の側面部）を窒化あるいは酸化させ、当該配線体2aの表面内に高抵抗層5を形成する（図5）。

【0033】

具体的には、例えば、図4で示した製造途中の半導体装置を真空チャンバー内に搬送し、当該チャンバー内に約数十TorのN₂あるいはO₂ガスを導入し、当該半導体装置の温度を100～300度程度に保ちながら、約30秒程度保持する。

【0034】

これにより、20nm程度のアルミ酸化物（Al_xO_x）やアルミ窒化物（Al_xN_x）が高抵抗層5として、コンタクトホール10から露出している配線体2aの表面内に形成される。

【0035】

なお、当該高抵抗層5の形成を行う前に、アルゴン等を用いたスパッタリング法を配線体2aに対して施し、当該配線体2aの表面を清浄にしておくことが望ましい。これは、高抵抗層5として均質・均一なものを形成することができるからである。

【0036】

次に、高抵抗層5を配線体2aに形成した状態で、スパッタリング法により、TiN/Ti積層膜等のバリアメタル膜（第二の導電体層と把握することができる）4aを、コンタクトホール10の底部および壁面部に成膜する（図6）。

【0037】

次に、原料ガスとして六フッ化タンゲステン（WF₆）等を用いたCVD法により、当該バリアメタル膜4aが成膜されているコンタクトホール10に対してタンゲステンを充填し、タンゲステン膜4bを形成する。その後、ドライエッチング法またはCMP（Chemical and Mechanical Polishing）法等を用いて、層間絶縁膜3上の余分なタンゲステンを除去することにより、下層配線2に接続されるビアプラグ4を形成する（図7）。

【0038】

図7から分かるように、ビアプラグ4は、下層配線2の側面部において、高抵抗層5を介して配線体2aと接続されている一方、下層配線2の上面部において、配線体2aの上面に形成されている反射防止膜2bを介して当該配線体2aと接続される。

【0039】

最後に、下層配線2と同様の形成方法により、層間絶縁膜3とビアプラグ4の上面を覆うように上層配線6（反射防止膜6b／配線体6a／反射防止膜6b）を配設する（図1）。

【0040】

以上の工程により製造された図1に示す半導体装置では、配線体2aの側面部の表面内に高抵抗層（窒化層、酸化層）5が形成されているので、当該高抵抗層5の抵抗値は配線体2aの抵抗値より高くなり、ビアプラグ4と下層配線2の側面部における接触抵抗を上昇させることができ、電流は、ビアプラグと下層配線2の上面部との経路において支配的となる。

【0041】

したがって、下層配線2の側面部とビアプラグ4との接続部分における電流集中を抑制することができ、当該電流集中により発生していたマイグレーション耐性の劣化を防止することができる。

【0042】

また、酸素または窒素雰囲気下で高抵抗層5を形成することにより、アルミ酸化物やアルミ窒化物を作成することができ、より高抵抗な高抵抗層5を形成することができる。

【0043】

また、バリアメタル膜4aとしてTiN/Ti積層膜でなく、TiN単層のバリアメタル膜4aを採用しても良い。この場合、窒化物となる高抵抗層5を作成する際に、同時に、Tiを用いたスパッタリング法を採用することにより、配線体2aに対して窒化物の高抵抗層5を形成すると共に、コンタクトホール10に対してTiNのバリアメタル膜4aも同時に形成することができ、工程数を削減できる。

【0044】

<実施の形態2>

図8に、本実施の形態に係る半導体装置の概略断面図を示す。本実施の形態においても、近年の配線ピッチの縮小化に伴い、ビアプラグ（導電体と把握することができる）4と下層配線2との合わせズレの余裕を設けることが不可能となつてきていることにより生ずる、ビアプラグ4が下層配線2に対して踏み外す構造となる場合に、効果を発揮するものである。

【0045】

つまり、ビアプラグ4が、下層配線2の上面と接する第1領域と、下層配線2の側面と接続する第2領域とを有している場合に、効果を発揮するのである。

【0046】

本実施の形態に係る半導体装置の構成は（図8）、実施の形態1に係る半導体装置の構成（図1）とほぼ同じであるが、以下の点において異なる。

【0047】

つまり、実施の形態1では、ビアプラグ4は、配線体2aの表面内に形成された酸化物等の高抵抗層5を介して当該配線体2aの側面部と接続している（図1）。しかし、本実施の形態に係る半導体装置は、図8で示しているように、配線体2aの側面部において、ビアプラグ4は、絶縁膜11を介して当該配線体2aと接続している点において異なる。

【0048】

なお、配線体2aの上面に形成されている反射防止膜（導電体膜と把握することができる）2bとビアプラグ4とは直接、接続されている点は、実施の形態1と同様である。

【0049】

それ以外の構成は実施の形態1と同様なので、ここでの説明を省略する。

【0050】

次に、上記構成の半導体装置の製造方法について、工程断面図を用いて説明する。

【0051】

まず、実施の形態1で説明した方法により、図2で示したように下地絶縁膜1に対して、配線体2aと反射防止膜（導電体膜と把握することができる）2bとからなる下層配線2を形成する。

【0052】

次に、ウエットエッティング法またはドライエッティング法により、配線体2aの側面部を所定の深さまで除去する（図9）。このとき、反射防止膜2bは、ほとんど影響はない。

【0053】

具体的には、例えば配線体2aがアルミニウムの場合には、図2で示した製造途中の半導体装置を、NH₄F（フッ化アンモン）が添加された薬液に浸し、配線体2aにNH₄Fを付着させる。次に、当該NH₄Fが付着している状態で、当該製造途中の半導体装置をH₂O（水）の中に浸し、NH₄FとH₂Oとを反応させる。

【0054】

これにより、TiNから成る反射防止膜2bに対して影響を与えること無く、当該配線体2aの側面部を除去することができる。ここで、配線体2aの除去量は、後に施される層間絶縁膜3の当該除去部への埋め込みを考慮すると、約20nm程度までとすることが望ましい。

【0055】

これは、後の工程で、当該除去された部分に絶縁膜11が埋め込まれるが、当該絶縁膜11の厚さが20nm程度となることを意味しており、当該膜厚の絶縁膜11は、高抵抗層として十分の働きを奏することができる。

【0056】

次に、HDP（High Density Plasma）-CVD法等により、下地絶縁膜1と下層配線2とを覆い、かつ、前記工程により除去された部分にも埋め込まれるように、層間絶縁膜3を形成する（図10）。ここで、HDP-CVD法を用いるのは、本実施の形態で説明する寸法サイズにおいて、前記工程により除去された部分においても、層間絶縁膜3を完全に充填させることができるのである。

【0057】

次に、通常のリソグラフィ工程と、反射防止膜2bをエッティングストップとして機能させた異方性エッティングとを施すことにより、層間絶縁膜3の上面から下層配線2に至るコンタクトホール10を形成する（図11）。

【0058】

ここで、上記でも説明した理由により、図11で示すように下層配線2に対してコンタクトホール10が踏み外すように形成される場合がある。しかし、当該異方性エッティングを施す際、配線体2aの上面部に形成されている反射防止膜2bが底となるので、前記配線体2aの側面部分に形成された絶縁膜11は、エッティングされずに残存することとなる。

【0059】

その後、配線体2aの側面部に絶縁膜11を残存させた状態で、スパッタリング法により、TiN/Ti積層膜等のバリアメタル膜4aを、コンタクトホール10の底部および壁面部に成膜する（図12）。

【0060】

次に、実施の形態1と同様に、タンゲステン膜4bをバリアメタル膜4aが成膜されているコンタクトホール10に対して充填し、平坦化処理を施すことにより、下層配線2に接続されるビアプラグ4を形成する（図13）。

【0061】

図13から分かるように、ビアプラグ4は、下層配線2の側面部において、絶縁膜11を介して配線体2aと接続され、下層配線2の上面部において、配線体2aの上面に形成されている反射防止膜2bと接続される。

【0062】

最後に、下層配線2と同様の形成方法により、層間絶縁膜3とビアプラグ4の上面とを覆うように上層配線6（反射防止膜6b/配線体6a/反射防止膜6b）を配設する（図8）。

【0063】

以上の工程により製造された図8に示す半導体装置では、ビアプラグ4が配線体2aの側面部と絶縁膜11を介して接続されているので、ビアプラグ4と下層

配線2の側面部における接触抵抗を上昇させることができ、電流は、ビアプラグ4と下層配線2の上面部との経路において支配的となる。

【0064】

したがって、下層配線2の側面部とビアプラグ4との接続部分における電流集中を抑制することができ、当該電流集中により発生していたマイグレーション耐性の劣化を防止することができる。

【0065】

なお、上記各実施の形態で説明した製造方法は、下層配線2に対しビアプラグ4が踏み外して形成される場合に、効果を発揮するものである。しかし、たとえ下層配線2に対しビアプラグ4が踏み外すことがなかったとしても、当該製造方法により、完成した半導体装置の動作に影響を及ぼすことはない。

【0066】

また、ここでは、本発明に係る配線構造を半導体装置に適用する場合についてのみ説明したが、これに限るものではなく、例えば、当該配線構造を液晶デバイス等の電子デバイスに適用してもよい。

【0067】

【発明の効果】

本発明の請求項1に記載の半導体装置は、基板と、前記基板上に形成され、配線体と当該配線体上に形成された導電体膜とを有する配線と、前記配線を覆って形成された層間絶縁膜と、前記層間絶縁膜を貫通するコンタクトホール内に形成され、前記配線の上面と接する第1領域と、前記配線の側面と接する第2領域とを有する導電体と、前記導電体の第2領域と接する前記配線体の側面内に形成された高抵抗層とを備えているので、導電体と配線体の側面部との間における接触抵抗を上昇させることができ、動作時に電流は、導電体と配線の上面部との経路において支配的となる。したがって、配線体の側面部と導電体との接続部分における電流集中を抑制することができ、当該電流集中により発生していたマイグレーション耐性の劣化を防止することができる。

【0068】

本発明の請求項4に記載の半導体装置の製造方法は、基板と、前記基板上に形

成され、配線体と当該配線体上に形成された導電体膜とを有する配線と、前記配線を覆って形成された層間絶縁膜と、前記層間絶縁膜を貫通するコンタクトホール内に形成され、前記配線の上面と接する第1領域と、前記配線の側面と接続する第2領域とを有する導電体とを有しており、前記配線体の端面は前記導電体膜の端面よりも後退しており、後退している部分には、前記層間絶縁膜の一部が形成されており、前記配線体と前記導電体の第2領域とは、前記層間絶縁膜の前記一部を介して接続されているので、導電体と配線体の側面部との間における接触抵抗を上昇させることができ、動作時に電流は、導電体と配線の上面部との経路において支配的となる。したがって、配線体の側面部と導電体との接続部分における電流集中を抑制することができ、当該電流集中により発生していたマイグレーション耐性の劣化を防止することができる。

【図面の簡単な説明】

【図1】 実施の形態1に係る半導体装置の構成を示す断面図である。

【図2】 実施の形態1に係る半導体装置の製造途中の構成を示す断面図である。

【図3】 実施の形態1に係る半導体装置の製造途中の構成を示す断面図である。

【図4】 実施の形態1に係る半導体装置の製造途中の構成を示す断面図である。

【図5】 実施の形態1に係る半導体装置の製造途中の構成を示す断面図である。

【図6】 実施の形態1に係る半導体装置の製造途中の構成を示す断面図である。

【図7】 実施の形態1に係る半導体装置の製造途中の構成を示す断面図である。

【図8】 実施の形態2に係る半導体装置の構成を示す断面図である。

【図9】 実施の形態2に係る半導体装置の製造途中の構成を示す断面図である。

【図10】 実施の形態2に係る半導体装置の製造途中の構成を示す断面図

である。

【図11】 実施の形態2に係る半導体装置の製造途中の構成を示す断面図である。

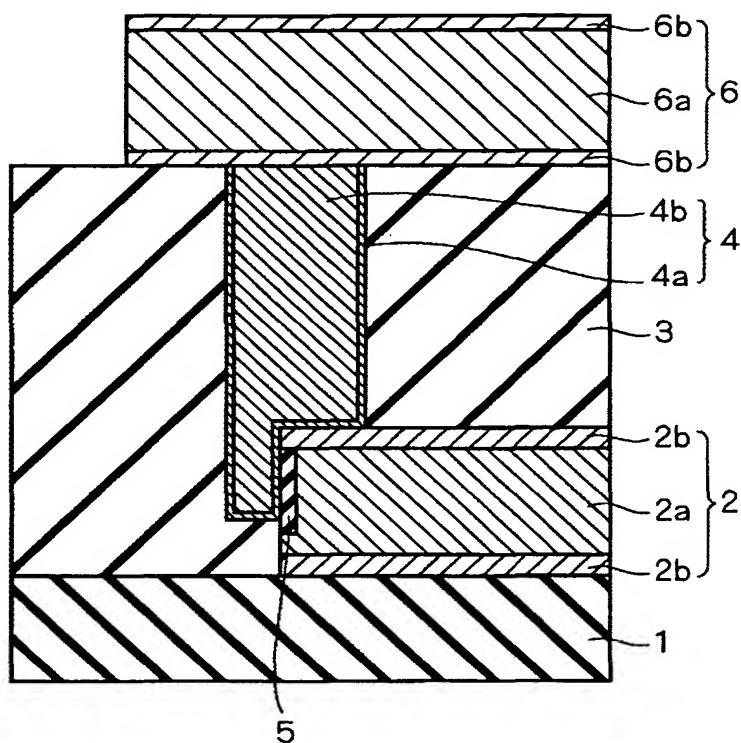
【図12】 実施の形態2に係る半導体装置の製造途中の構成を示す断面図である。

【図13】 実施の形態2に係る半導体装置の製造途中の構成を示す断面図である。

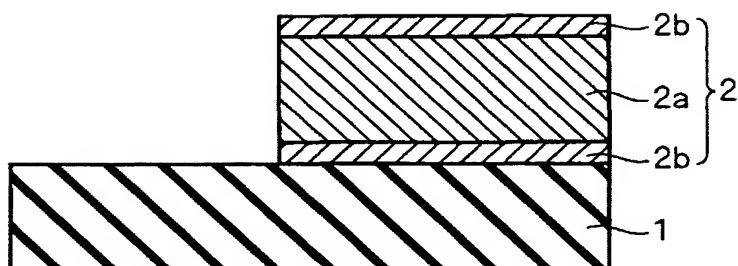
【符号の説明】

1 下地絶縁膜、2 下層配線、2 a, 6 a 配線体、2 b, 6 b 反射防止膜（導電体膜）、3 層間絶縁膜、4 ビアプラグ（導電体）、4 a バリアメタル膜、4 b タングステン膜、5 高抵抗層、6 上層配線、10 コンタクトホール、11 絶縁膜。

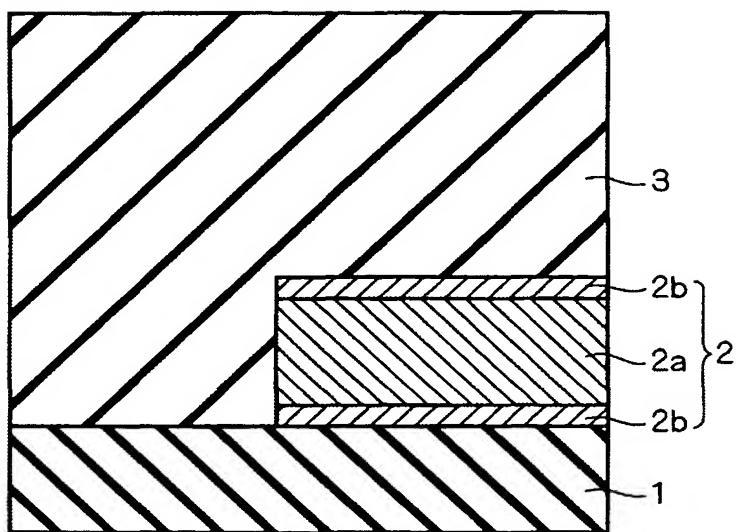
【書類名】 図面
【図1】



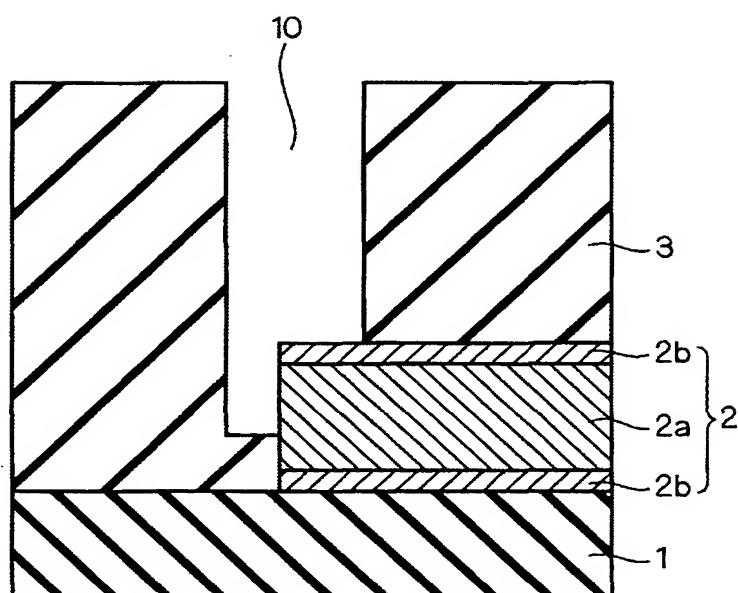
【図2】



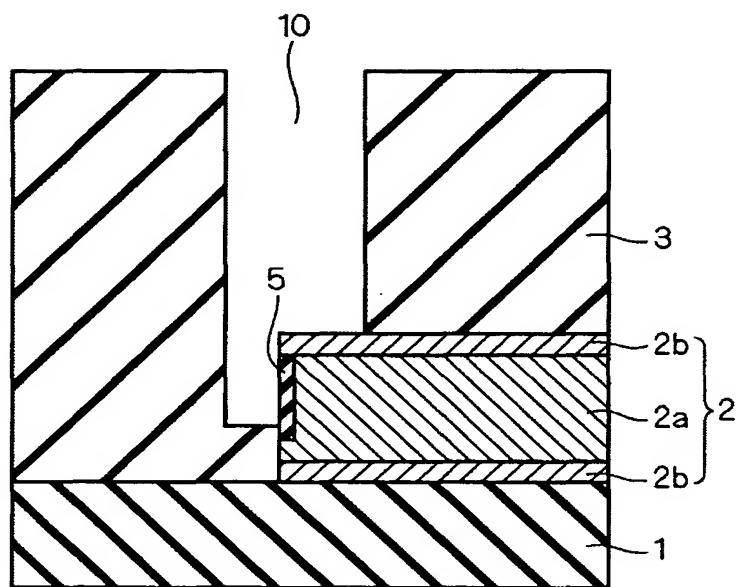
【図3】



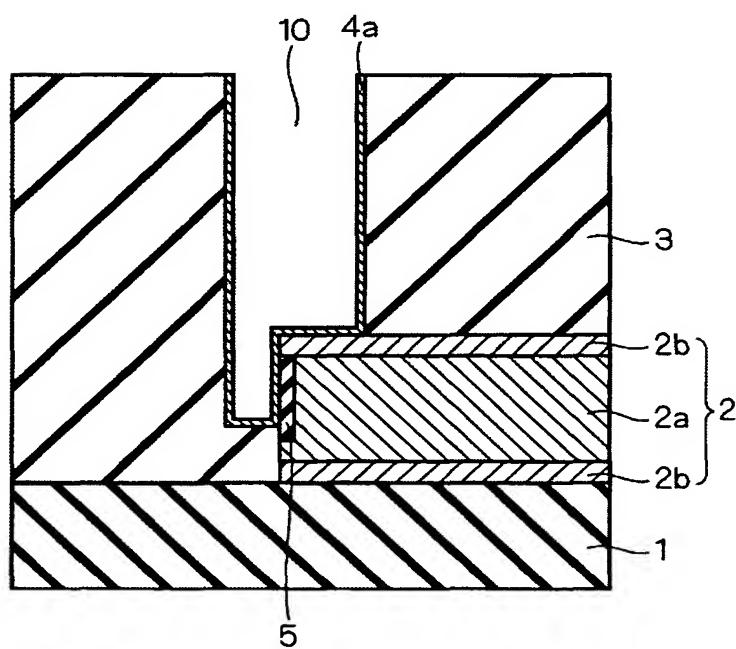
【図4】



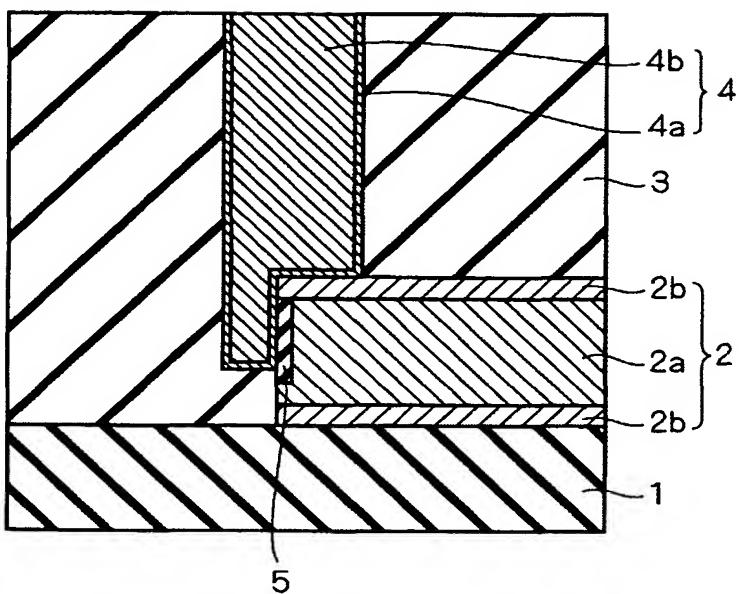
【図5】



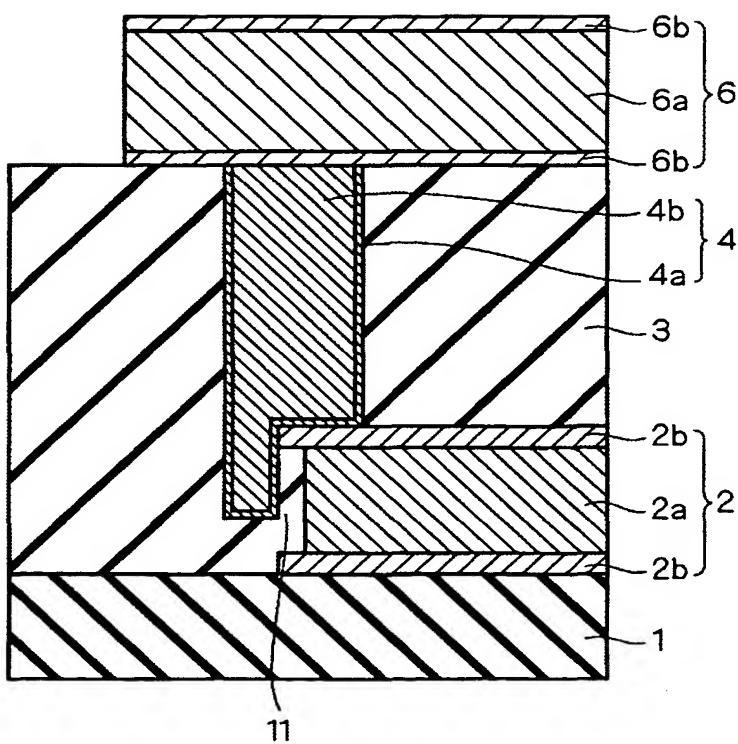
【図6】



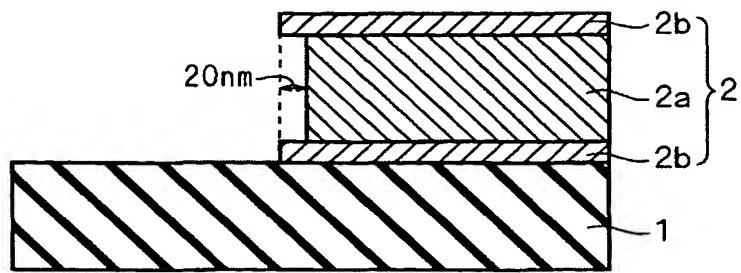
【図7】



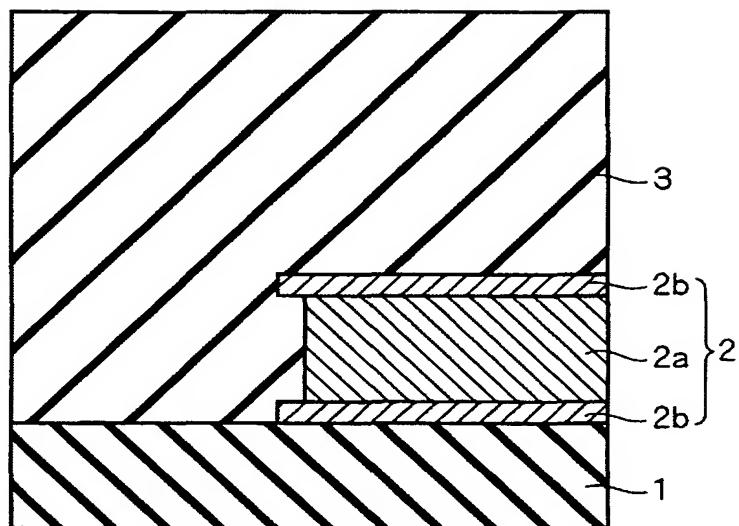
【図8】



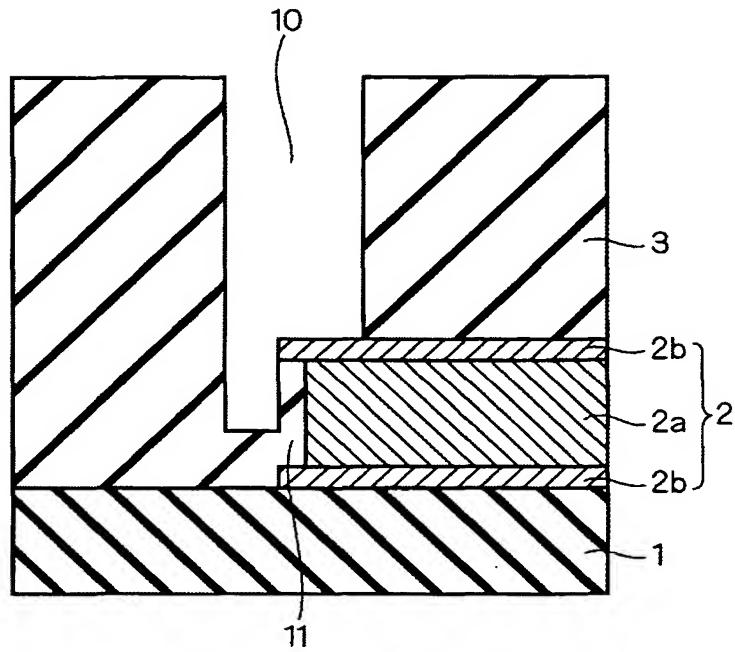
【図9】



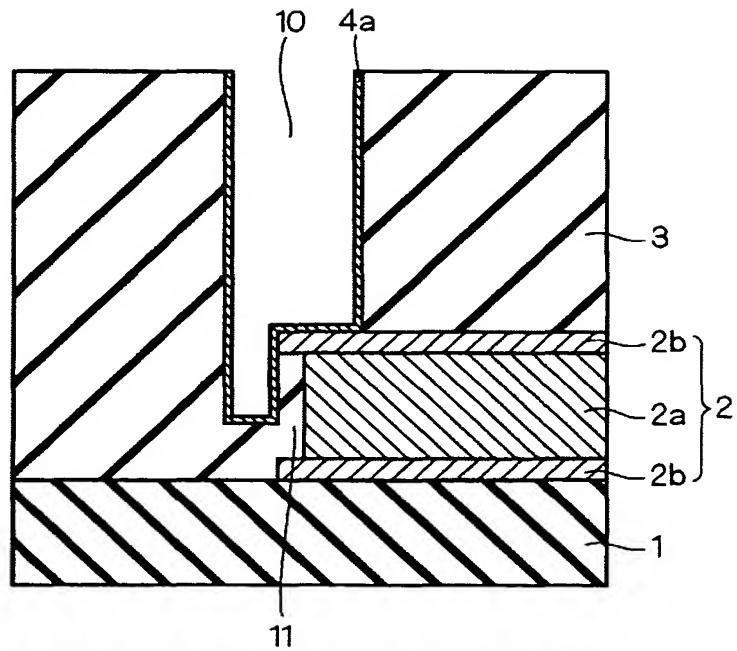
【図10】



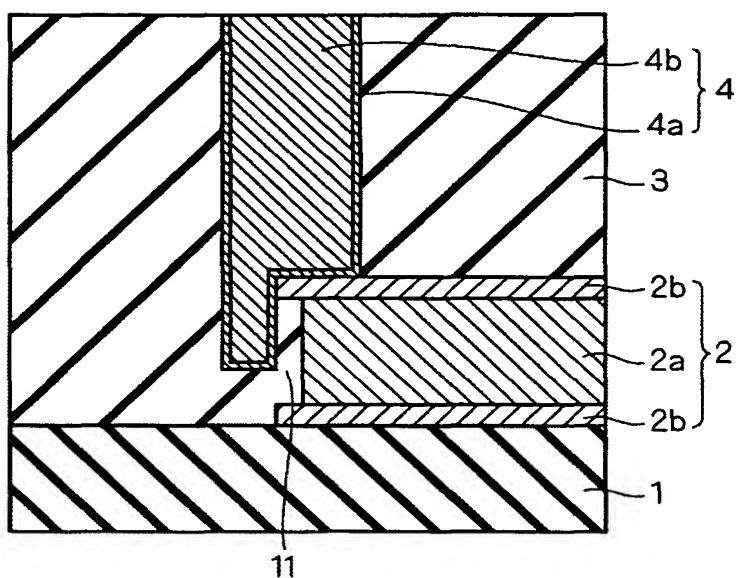
【図11】



【図12】



【図13】



【書類名】 要約書

【要約】

【課題】 下層配線に対してビアプラグが踏み外して形成された場合に、下層配線の側面部とビアプラグとの接続部分における電流集中を抑制することができる半導体装置および半導体装置の製造方法を提供することを目的とする。

【解決手段】 上面部に反射防止膜（導電体膜）2bを有する下層配線2aを下地絶縁膜1に配設し、当該下層配線2および下地絶縁膜1とを覆う層間絶縁膜3を形成する。層間絶縁膜3の上面から下層配線2に至るビアプラグ4が、下層配線2に対して踏み外して形成され場合において、下層配線2の側面部とビアプラグ4とが接続している部分に高抵抗層5を備える。

【選択図】 図1

出願人履歴情報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社